



**PCT**  
WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro  
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 5 :  H03K 17/16	<b>A1</b>	(11) Internationale Veröffentlichungsnummer: <b>WO 93/14568</b> (43) Internationales Veröffentlichungsdatum: 22. Juli 1993 (22.07.93)
<p>(21) Internationales Aktenzeichen: PCT/DE92/01076</p> <p>(22) Internationales Anmeldedatum: 22. Dezember 1992 (22.12.92)</p> <p>(30) Prioritätsdaten: P 42 00 680.5 14. Januar 1992 (14.01.92) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, D-7000 Stuttgart 30 (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : KLOSE, Hans-Peter [DE/DE]; Virchowstrasse 16, D-7412 Eningen (DE).</p> <p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p>	<p><b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i></p>	

(54) Title: DRIVER CIRCUIT

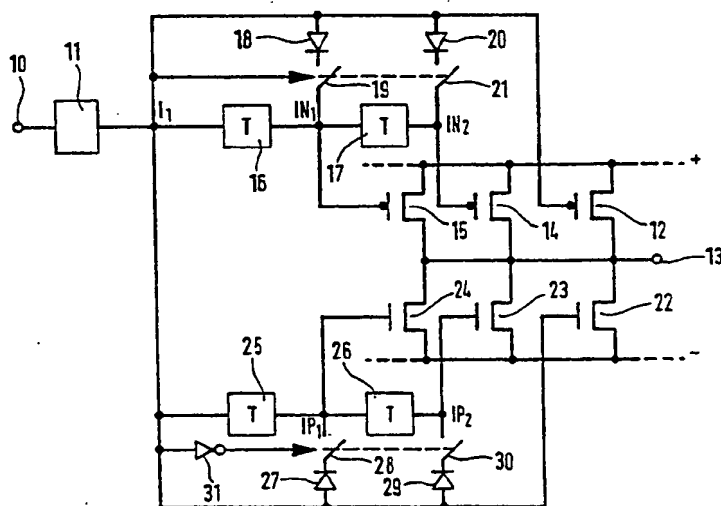
(54) Bezeichnung: TREIBERSCHALTUNG

(57) Abstract

The proposal is for a driver circuit with at least two output semiconductor switches (12, 14, 15, 22-24) in parallel and controllable by input control signals ( $I_1$ ) for switching a load. To this end, a delay device (16, 17, 25, 26) is provided to delay the input control signals ( $I_1$ ) of at least one of the output semiconductor switches (14, 15, 23, 24), while the input control signals ( $I_1$ ) are applied without a delay to at least another of the output semiconductor switches (12, 22). The driver capacity of the driver circuit is thus retained but the edge steepness is reduced especially at low loads and the quadrature-axis current component is minimised. Peak current loads are reduced or distributed in time.

(57) Zusammenfassung

Es wird eine Treiberschaltung mit wenigstens zwei parallelgeschalteten, durch Eingangssteuersignale ( $I_1$ ) steuerbaren Ausgangshalbleiterschaltern (12, 14, 15, 22-24) zum Schalten einer Last vorgeschlagen. Hierzu ist eine die Eingangssteuersignale ( $I_1$ ) für wenigstens einen der Ausgangshalbleiterschalter (14, 15, 23, 24) zeitlich verzögernde Verzögerungseinrichtung (16, 17, 25, 26) vorgesehen, während wenigstens ein anderer der Ausgangshalbleiterschalter (12, 22) unverzüglich von den Eingangssteuersignalen ( $I_1$ ) beaufschlagt wird. Hierdurch bleibt die Treiberfähigkeit der Treiberschaltung erhalten, jedoch vermindert sich die Flankensteilheit vor allem bei kleinen Lasten, und der Querstrom wird minimiert. Ladestromspitzen werden verringert bzw. zeitlich verteilt.



# **LEDIGLICH ZUR INFORMATION**

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FR	Frankreich	MR	Mauritanien
AU	Australien	GA	Gabon	MW	Malawi
BB	Barbados	GB	Vereinigtes Königreich	NL	Niederlande
BE	Belgien	GN	Guinea	NO	Norwegen
BF	Burkina Faso	GR	Griechenland	NZ	Neuseeland
BG	Bulgarien	HU	Ungarn	PL	Polen
BJ	Benin	IE	Irland	PT	Portugal
BR	Brasilien	IT	Italien	RO	Rumänien
CA	Kanada	JP	Japan	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KP	Demokratische Volksrepublik Korea	SD	Sudan
CG	Kongo	KR	Republik Korea	SE	Schweden
CH	Schweiz	KZ	Kasachstan	SK	Slowakische Republik
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	SU	Sowjet Union
CS	Tschechoslowakei	LU	Luxemburg	TD	Tschad
CZ	Tschechische Republik	MC	Monaco	TG	Togo
DE	Deutschland	MG	Madagaskar	UA	Ukraine
DK	Dänemark	MI	Mali	US	Vereinigte Staaten von Amerika
ES	Spanien	MN	Mongolei	VN	Vietnam
FI	Finnland				

Treiberschaltung

## STAND DER TECHNIK

Die Erfindung betrifft eine Treiberschaltung mit wenigstens zwei parallelgeschalteten, durch Eingangssteuersignale steuerbaren Ausgangshalbleiterschaltern zum Schalten einer Last.

Treiberschaltungen für Ausgänge von elektronischen Schaltungen wie integrierten Schaltungen, Mikrorechnern od.dgl. werden gewöhnlich für schlechteste Betriebsbedingungen ausgelegt, das heißt, selbst unter schlechtesten Betriebsbedingungen muß durch Wahl der Treiber-Transistordimensionierung gewährleistet sein, daß ein Schaltvorgang bei maximaler Last innerhalb einer maximalen, vorgegebenen Zeit abläuft. Eine derartige Auslegung hat jedoch den Nachteil, daß unter günstigen Bedingungen, also beispielsweise bei geringer Last, extrem steile Flanken und hohe Ströme erzeugt werden. Infolge derartiger transienter Vorgänge (z.B. "Ground bounce" [verrauschte Versorgung], "Undershot" und EMV-Probleme) treten Störstrahlungen und andere nachteilige Auswirkungen auf, die möglichst vermieden werden sollten.

## VORTEILE DER ERFINDUNG

Die erfindungsgemäße Treiberschaltung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß bei Erhaltung der Treiberfähigkeit insbesondere bei

...

-2-

kleinen Lasten die Flankensteilheit verringert und der Querstrom minimiert wird. Die Ladestromspitzen werden verringert bzw. zeitlich verteilt, so daß kleine und große Lasten unter Vermeidung der vorstehend genannten Nachteile geschaltet werden können. Dies kann ohne Regelung durch relativ einfache elektronische Mittel erreicht werden.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Treiberschaltung möglich.

Durch eine mehrstufige Ausbildung der Verzögerungseinrichtung mit unterschiedlichen Verzögerungszeiten für wenigstens zwei der Ausgangshalbleiterschalter tritt eine noch deutlichere Verminderung des maximalen Ladestroms, das heißt eine bessere zeitliche Verteilung auf, so daß die Flankensteilheit nochmals verringert wird. Eine besonders einfache Schaltungsausführung wird dadurch erreicht, daß die unterschiedlichen Verzögerungszeiten ganzzahlige Vielfache einer ersten Verzögerungszeit für einen ersten der verzögert angesteuerten Ausgangshalbleiterschalter sind. Hierdurch können einheitliche Zeitverzögerungsbausteine verwendet werden.

Zur besonders günstigen Ein- und Ausschaltung der Treiberschaltung hat sich eine Anordnung als besonders vorteilhaft erwiesen, bei der eine erste Gruppe von wenigstens zwei parallelgeschalteten Ausgangshalbleiterschaltern zwischen der Last und dem positiven Pol einer Versorgungsspannung und eine zweite Gruppe von wenigstens zwei weiteren parallelgeschalteten Ausgangshalbleiterschaltern zwischen der Last und dem negativen Pol der Versorgungsspannung geschaltet sind, wobei Schaltmittel zum Öffnen der Ausgangshalbleiterschalter der einen Gruppe während des zeitlich abgestuften Schließens der Ausgangshalbleiterschalter der anderen Gruppe vorgesehen sind.

...

Die Ausgangshalbleiterschalter sind zweckmäßigerweise als Transistoren, insbesondere als Feldeffekt-Transistoren bzw. MOSFET ausgebildet.

Bei der Dimensionierung ist es im Hinblick auf eine optimale Auslegung und Erzielung des erfindungsgemäßen Ziels erforderlich, daß jeder einzelne Ausgangshalbleiterschalter eine unter der erforderlichen Gesamttreiberleistung zum Durchschalten der maximalen Last liegende Treiberleistung aufweist.

Als günstig hat es sich auch erwiesen, daß bei den zeitlich abgestuft eingeschalteten Ausgangshalbleiterschaltern jeweils der nachfolgend einschaltende Ausgangshalbleiterschalter eine höhere Treiberleistung als der zuvor einschaltende Ausgangshalbleiterschalter aufweist.

#### ZEICHNUNG

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen:

- Fig. 1 eine schaltungsmäßige Ausgestaltung einer Treiberschaltung als Ausführungsbeispiel der Erfindung,
- Fig. 2 ein Signaldiagramm zur Erläuterung der Wirkungsweise anhand der Schaltvorgänge der einzelnen Ausgangstransistoren und
- Fig. 3 ein weiteres Signaldiagramm zur Erläuterung der erfindungsgemäß erreichten Effekte.

#### BESCHREIBUNG DES AUSFÜHRUNGSBEISPIELS

Bei dem in Fig. 1 dargestellten Ausführungsbeispiel ist ein Eingang 10 der dargestellten Treiberschaltung über ein Latch 11 mit dem Gate eines ersten p-Kanal-Feldeffekt-Transistors 12 (im folgenden als p-FET bezeichnet) verbunden, dessen Drain-Source-Strecke zwischen dem positiven Pol

...

einer Versorgungsspannung und einem Ausgang 13 zum Anschluß einer Last geschaltet ist. Parallel zum ersten p-FET 12 sind ein zweiter p-FET 14 und ein dritter p-FET 15 geschaltet. Der Ausgang des Latch 11 ist über ein erstes Zeitverzögerungsglied 16 mit dem Gate des dritten p-FET 15 verbunden, und der Ausgang dieses ersten Zeitverzögerungsglieds 16 ist über ein weiteres Zeitverzögerungsglied 17 mit dem Gate des zweiten p-FET 14 verbunden. Der Ausgang des Latch 11 ist weiterhin über die Reihenschaltung einer Diode 18 mit einem ersten Schalter 19 an das Gate des dritten p-FET 15 und über die Reihenschaltung einer Diode 20 mit einem zweiten Schalter 21 an das Gate des zweiten p-FET 14 angeschlossen. Die beiden Schalter 19,21 werden gemeinsam durch Ausgangssignale  $I_1$  des Latch 11 so gesteuert, daß jeweils die Schalter 19,21 während eines 1-Signals (high) geschlossen sind. Das jeweils am Gate des dritten p-FET 15 anliegende Signal ist mit  $IN_1$  und das am Gate des zweiten p-FET 14 anliegende Signal mit  $IN_2$  bezeichnet.

Um den Ausgang 13 mit dem negativen Pol der Versorgungsspannung zu verbinden, ist eine weitere Schaltungsanordnung vorgesehen, die im wesentlichen der bisher beschriebenen Schaltungsanordnung entspricht. Ein erster n-Kanal-Feldeffekt-Transistor 22 (im folgenden als n-FET bezeichnet) ist zwischen den Ausgang 13 und den negativen Pol der Versorgungsspannung geschaltet und wird vom Ausgang des Latch 11 gesteuert. Parallel zu diesem ersten n-FET 22 sind ein zweiter n-FET 23 und ein dritter n-FET 24 geschaltet. Der Ausgang des Latch 11 steuert über ein drittes Zeitverzögerungsglied 25 das Gate des dritten n-FET 24, wobei der Ausgang dieses dritten Zeitverzögerungsglieds 25 wiederum über ein viertes Zeitverzögerungsglied 26 das Gate des zweiten n-FET 23 steuert. Wiederum ist die Reihenschaltung einer Diode 27 mit einem dritten Schalter 28 zwischen den Ausgang des Latch 11 und das Gate des dritten n-FET 24

sowie die Reihenschaltung einer Diode 29 mit einem vierten Schalter 30 zwischen den Ausgang des Latch 11 und das Gate des zweiten n-FET 23 geschaltet. Der dritte und der vierte Schalter 28,30 werden durch den Ausgang des Latch 11 über einen Inverter 31 gesteuert, so daß der Schaltzustand des dritten und des vierten Schalters 28,30 jeweils dem Schaltzustand des ersten und des zweiten Schalters 19,21 entgegengesetzt ist. Das Steuersignal am Gate des dritten n-FET 24 ist mit  $IP_1$  und das Steuersignal am Gate des zweiten n-FET 23 mit  $IP_2$  bezeichnet. Durch die Zeitverzögerungsglieder 16,17,25,26 wird jeweils das anliegende Eingangssignal um die Zeit T verzögert an den Ausgang gegeben.

In Abwandlung des dargestellten Ausführungsbeispiels kann je nach Bedarf das Latch 11 auch entfallen. Der Eingang 10 ist beispielsweise ein Eingangs-/Ausgangs-Anschluß (z.B. I/O-Pad) eines integrierten Schaltkreises, z.B. eines CMOS-Schaltkreises, eines Mikrorechners od.dgl. Die Zeitverzögerungsglieder 16,17,25,26 können als monostabile Schaltstufen ausgebildet sein. Die FETs 12,14,15,22-24 können als MOSFET ausgebildet sein, jedoch können auch andere Halbleiterschalter wie Transistoren verwendet werden. Die dargestellte Anzahl von FETs wurde willkürlich gewählt, und die gestrichelten Linien der Plus-Leitung und der Minus-Leitung der Versorgungsspannung deuten an, daß auch eine größere Zahl von FETs vorgesehen sein kann, die zeitlich verzögert stufenweise schaltbar sind. Es müssen jedoch mindestens zwei zeitlich verzögert schaltende FETs bzw. Transistoren zum Schalten der Last über den Ausgang 13 vorgesehen sein. Hierzu kann die Last beispielsweise auch fest mit einem der beiden Pole der Versorgungsspannung verbunden sein, während der andere Pol über diese beiden FETs bzw. Transistoren (oder eine größere Zahl) mit der Last verbunden ist.

Gemäß Fig. 2 sei zur Erläuterung zunächst davon ausgegangen,

...

daß am Ausgang des Latch 11 ein 1-Signal (high) anliegt, durch das die FETs 12,14,15 sperren und die FETs 22-24 leiten. Der Ausgang 13 liegt dadurch auf 0-Potential (low) bzw. Minus-Potential. Die beiden Schalter 19,21 sind geschlossen und die beiden Schalter 28,30 geöffnet, jedoch spielt der Schaltzustand der Schalter zu diesem Zeitpunkt keine Rolle.

Nun soll zum Zeitpunkt  $t_1$  die am Ausgang angeschlossene, jedoch in Fig. 1 nicht dargestellte Last angesteuert werden. Hierzu wird das Ausgangssignal  $I_1$  zu einem 0-Signal, durch das die Schalter 19,21 geöffnet und die Schalter 28,30 geschlossen werden. Da somit dieses 0-Signal an allen Gates der n-FETs 22-24 anliegt, sperren diese. Gleichzeitig wird der p-FET 12 stromleitend, während die p-FETs 14 und 15 noch gesperrt bleiben, da an den Ausgängen der Zeitverzögerungsglieder 16 und 17 immer noch 1-Signale vorliegen.

Nach der Verzögerungszeit  $T$  zum Zeitpunkt  $t_2$  wird das 0-Signal auf den Ausgang des Zeitverzögerungsglieds 16 durchgeschaltet, so daß zusätzlich noch der p-FET 15 stromleitend wird. Dieses 0-Signal wird wiederum nach einer weiteren Verzögerungszeit  $T$  zum Zeitpunkt  $t_3$  zum Ausgang des zweiten Zeitverzögerungsglieds 17 durchgeschaltet, so daß auch der p-FET 14 stromleitend wird. Da während dieser Zeit die Schalter 28 und 30 geschlossen sind, wirken sich die Zeitverzögerungsglieder 25,26 nicht aus. Nunmehr liegt die volle Treiberleistung vor, indem alle p-FETs 12,14,15 stromleitend sind.

Zum Zeitpunkt  $t_4$  soll nun die Last wieder stufenweise abgeschaltet werden, wozu das Ausgangssignal  $I_1$  des Latch 11 zu einem 1-Signal wird. Dadurch werden die Schalter 19,21 geschlossen und entsprechend die Schalter 28,30 geöffnet.

...



-7-

Durch das Schließen der Schalter 19,21 werden alle p-FETs 12,14,15 gesperrt und der n-FET 22 stromleitend. Nach einer Verzögerungszeit  $T$  wird zum Zeitpunkt  $t_5$  das Signal  $IP_1$  zu einem 1-Signal, so daß auch der n-FET 24 stromleitend wird. Nach einer weiteren Verzögerungszeit  $T$  wird zum Zeitpunkt  $t_6$  auch das Signal  $IP_2$  zu einem 1-Signal, so daß auch der n-FET 23 stromleitend wird. Nun ist die Last über die gesamte Treiberstrecke mit dem negativen Pol der Versorgungsspannung verbunden, also abgeschaltet.

Zu Beginn des Einschaltens der Last zum Zeitpunkt  $t_1$  und zu Beginn des Ausschaltens der Last zum Zeitpunkt  $t_4$  sorgt der rechte FET 12 bzw. der FET 22 dafür, daß der Ausgang auf einem definierten Potential gehalten wird, also nicht floated. Gleichzeitig können kleine Lastkapazitäten umgeladen werden. Nach der ersten Zeitverzögerungszeit  $T$  ist dann der FET 15 bzw. der FET 24 in der Lage, auch mittlere Lasten umzuladen. Nach der weiteren Verzögerungszeit  $T$  schaltet dann jeweils der letzte FET 14 bzw. 23, um auch maximale Lasten umzuladen. Bei sehr geringen Lasten wirkt sich lediglich das erste FET-Paar 12 bzw. 22 aus, bei mittleren Lasten zusätzlich das FET-Paar 15 bzw. 24, und nur bei großen Lasten wirkt sich dann noch das FET-Paar 14 bzw. 23 aus. In Fig. 3 sind die Verhältnisse beim Ausschalten einer Last dargestellt. Der obere Bereich zeigt den Spannungsverlauf bei maximaler Last (Kurve I), bei mittlerer Last (Kurve II) und bei minimaler Last (Kurve III). Bei maximaler Last ergibt sich ein Stromverlauf, wie er im unteren Teil von Fig. 3 dargestellt ist. Im Vergleich hierzu sind die Verhältnisse bei einem herkömmlichen Ausgangstreiber punktiert durch die Kurve IV dargestellt. Hieraus geht hervor, daß durch das stufenweise Ausschalten der Last die Flankensteilheit verringert wird.

Bei Bedarf können noch weitere Stufen hinzutreten, um das Ein- oder Ausschalten der Last noch feiner abgestuft vor-

...

-8-

zunehmen. Dabei können die Treiberleistungen der FETs entweder jeweils gleich sein oder abgestuft beim Ein- und Ausschalten ansteigen, für spezielle Anforderungen auch abnehmen. Die Verzögerungszeiten T können jeweils gleich sein oder ebenfalls entsprechend speziellen Erfordernissen unterschiedlich ausgelegt sein.

Ansprüche

1. Treiberschaltung mit wenigstens zwei parallelgeschalteten, durch Eingangssteuersignale steuerbaren Ausgangshalbleiterschaltern zum Schalten einer Last, dadurch gekennzeichnet, daß eine die Eingangssteuersignale ( $I_1$ ) für wenigstens einen der Ausgangshalbleiterschalter (14,15,23,24) zeitlich verzögernde Verzögerungseinrichtung (16,17,25,26) vorgesehen ist, während wenigstens ein anderer der Ausgangshalbleiterschalter (12,22) unverzögert von den Eingangssteuersignalen ( $I_1$ ) beaufschlagt wird.
2. Treiberschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Verzögerungseinrichtung (16,17,25,26) mehrstufig mit unterschiedlichen Verzögerungszeiten für wenigstens zwei der Ausgangshalbleiterschalter (14,15 bzw. 23,24) ausgebildet ist.
3. Treiberschaltung nach Anspruch 2, dadurch gekennzeichnet, daß die unterschiedlichen Verzögerungszeiten ganzzahlige Vielfache einer ersten Verzögerungszeit ( $T$ ) für einen ersten der verzögert angesteuerten Ausgangshalbleiterschalter (15 bzw. 24) sind.
4. Treiberschaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß wenigstens eine erste Gruppe von wenigstens zwei parallelgeschalteten Ausgangshalbleiterschaltern (12,14,15) zwischen der Last und dem positiven

...

Pol einer Versorgungsspannung und eine zweite Gruppe von wenigstens zwei weiteren parallelgeschalteten Ausgangshalbleiterschaltern (22-24) zwischen der Last und dem negativen Pol der Versorgungsspannung geschaltet sind, wobei Schaltmittel (19,21,28,30) zum Öffnen der Ausgangshalbleiterschalter der einen Gruppe während des zeitlich abgestuften Schließens der Ausgangshalbleiterschalter der anderen Gruppe vorgesehen sind.

5. Treiberschaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Schaltmittel (19,21,28,30) von den Ausgangssignalen der Verzögerungseinrichtung oder von den Eingangssteuersignalen ( $I_1$ ) steuerbar sind.

6. Treiberschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Ausgangshalbleiterschalter (12,14,15,22-24) als Transistoren ausgebildet sind.

7. Treiberschaltung nach Anspruch 6, dadurch gekennzeichnet, daß die Ausgangshalbleiterschalter (12,14,15,22-24) als Feldeffekt-Transistoren (FET) ausgebildet sind.

8. Treiberschaltung nach Anspruch 7, dadurch gekennzeichnet, daß die Ausgangshalbleiterschalter (12,14,15,22-24) als MOSFET ausgebildet sind.

9. Treiberschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jeder einzelne Ausgangshalbleiterschalter (12,14,15,22-24) eine unter der erforderlichen Gesamttreiberleistung zum Durchschalten einer maximalen Last liegende Treiberleistung aufweist.

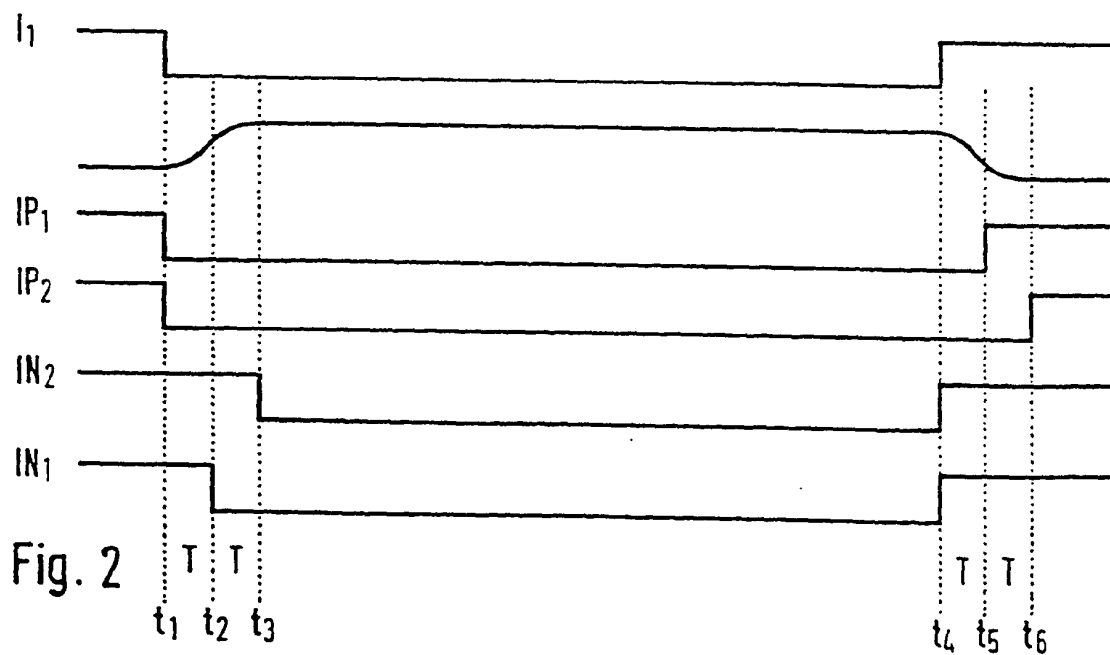
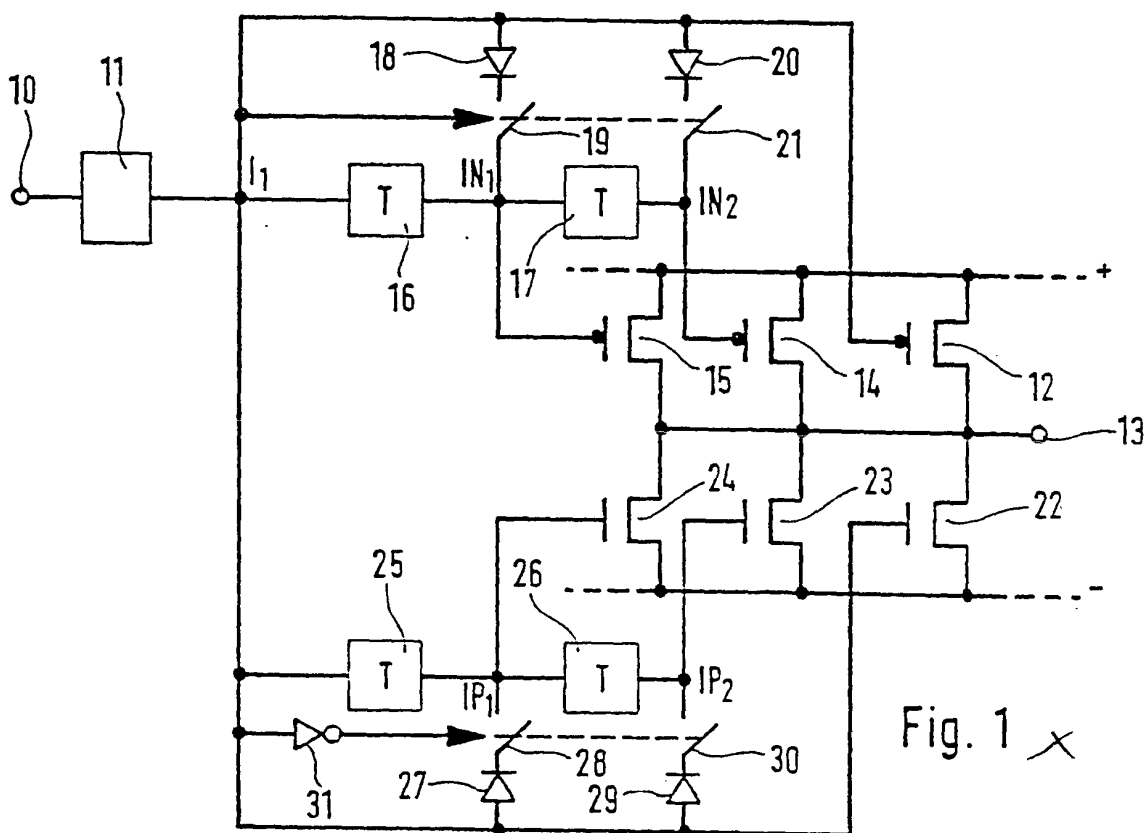
10. Treiberschaltung nach Anspruch 9, dadurch gekennzeichnet, daß bei den zeitlich abgestuft einschaltenden Ausgangshalb-

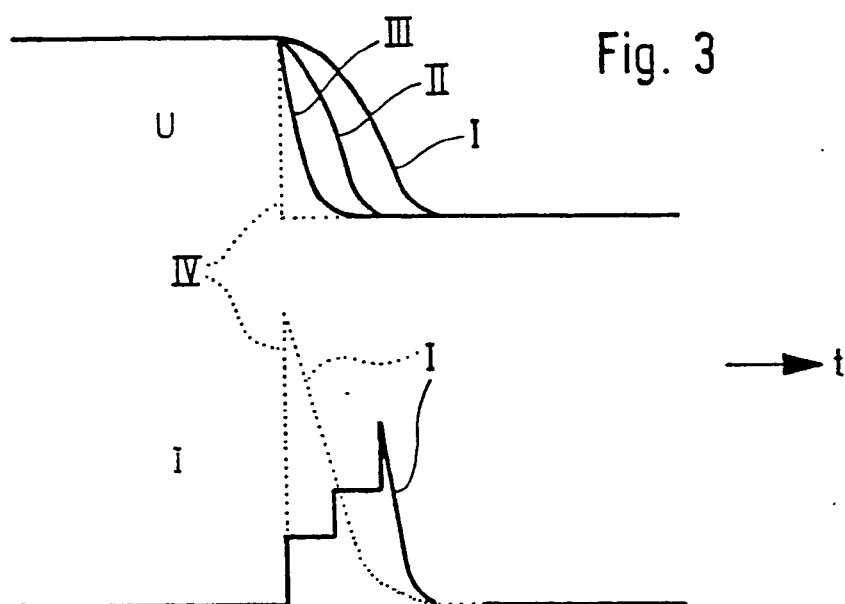
...

-11-

leitern (12,14,15 bzw. 22-24) jeweils der nachfolgend einschaltende Ausgangshalbleiterschalter eine höhere Treiberleistung als der zuvor einschaltende Ausgangshalbleiterschalter aufweist.

11. Treiberschaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Ausbildung als Treiberschaltung für einen Eingangs-/Ausgangs-Anschluß (I/O-Pad) eines integrierten Schaltkreises.





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE 92/01076

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.<sup>5</sup> H03K17/16

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.<sup>5</sup> H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, A 0 340 731 (K.K. TOSHIBA) 8 November 1989 see page 1, line 31 - line 42 see page 4, line 58 - page 5, line 18 see page 6, line 13 - line 33 see figures 4,9 -----	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 March 1993 (30.03.93)

Date of mailing of the international search report

6 April 1993 (06.04.93)

Name and mailing address of the ISA/

European Patent Office

Facsimile No.

Authorized officer

Telephone No.



DE 9201076  
SA 68179

30/03/93

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0340731	08-11-89	JP-A- 1279631 US-A- 5128567	09-11-89 07-07-92
-----			

EPO FORM PD679

BNSDOCID: <WO 9314568A1 | >

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 92/01076

<b>I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS</b> (bei mehreren Klassifikationssymbolen sind alle anzugeben) <sup>6</sup>		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC Int.Kl. 5 H03K17/16		
<b>II. RECHERCHIERTE SACHGEBIETE</b>		
Recherchierter Mindestprüfstoff <sup>7</sup>		
Klassifikationssystem	Klassifikationssymbole	
Int.Kl. 5	H03K	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen <sup>8</sup>		
<b>III. EINSCHLAGIGE VERÖFFENTLICHUNGEN</b> <sup>9</sup>		
Art. <sup>10</sup>	Kennzeichnung der Veröffentlichung <sup>11</sup> , soweit erforderlich unter Angabe der maßgeblichen Teile <sup>12</sup>	Betr. Anspruch Nr. <sup>13</sup>
X	EP,A,0 340 731 (K. K. TOSHIBA) 8. November 1989 siehe Seite 1, Zeile 31 - Zeile 42 siehe Seite 4, Zeile 58 - Seite 5, Zeile 18 siehe Seite 6, Zeile 13 - Zeile 33 siehe Abbildungen 4,9 -----	1-11
<p><sup>10</sup> Besondere Kategorien von angegebenen Veröffentlichungen <sup>10</sup> :</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"&amp;" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
<b>IV. BESCHEINIGUNG</b>		
Datum des Abschlusses der internationalen Recherche <b>30.MAERZ 1993</b>		Absendedatum des internationalen Recherchenberichts <b>0 6. 04. 93</b>
Internationale Recherchenbehörde <b>EUROPAISCHES PATENTAMT</b>		Unterschrift des bevollmächtigten Bediensteten <b>CANTARELLI R.J.H.</b>

DE 9201076  
SA 68179

30/03/93

**EPO FORM P0473**

BNSDOCID: <WO 931456BA1 I >